Lab05 实验报告

王正 518021910079

1. 实验名称

简单的类MIPS单周期处理器的实现

1. 实验目的

完成单周期的类MIPS处理器

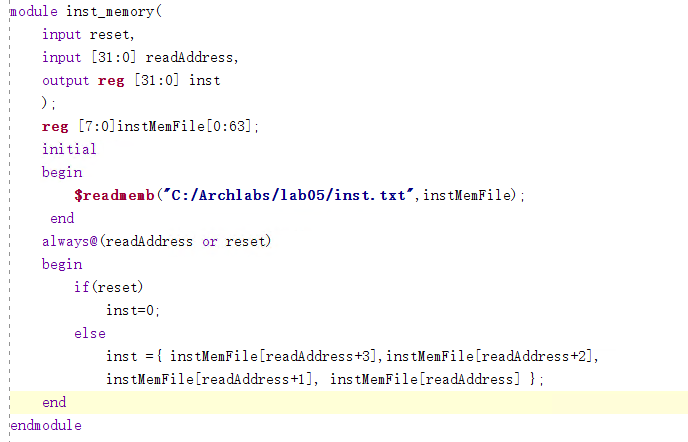
1. 功能实现

在顶层模块内，将之前两个实验所实现的是所有逻辑模块实例化，在模块之间用信号线连接，使所有模块成为一个整体，并能正确执行指令。

在连接各个模块之前，还需要额外实现模块，使得处理器功能完善。

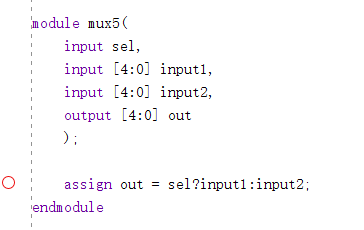
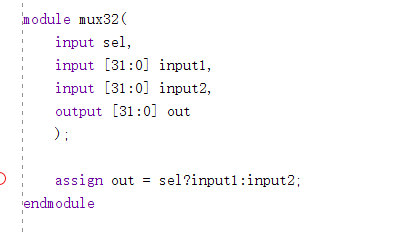
指令存储器：

由于数据和指令分开存储，因此还需要一个指令存储器。指令存储器按字节寻址的，一个指令占据四个地址的存储空间。这样是为了和后续 PC + 4、立即数左移两位作为跳转地址等运算相协调。



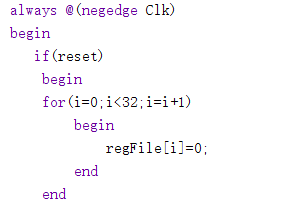
数据选择器：

将两路数据和选择信号作为数据，输出一路选择的数据。这样实现顶层代码时，代码可读性会相对好一些。在顶层模块中，既有对 32 位的数据选择器，也有 5 位的数据选择器



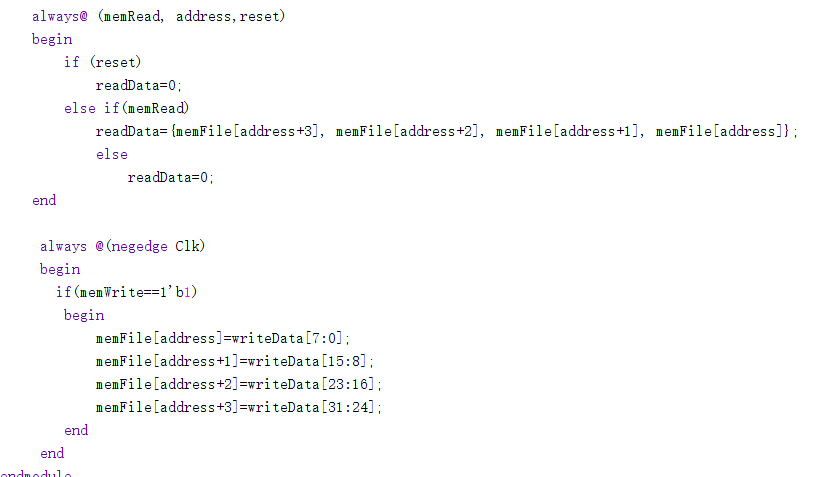
寄存器模块的修改：

添加reset信号，当reset为时，将寄存器清零。



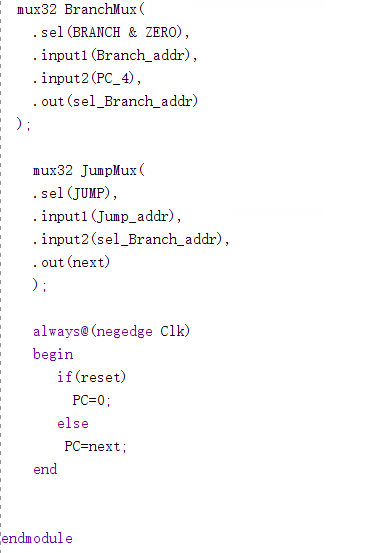
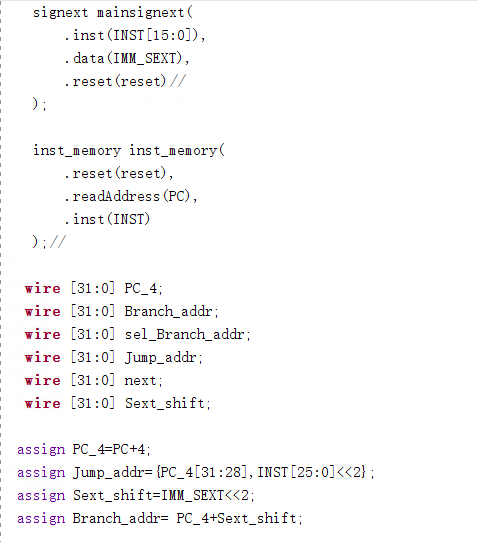
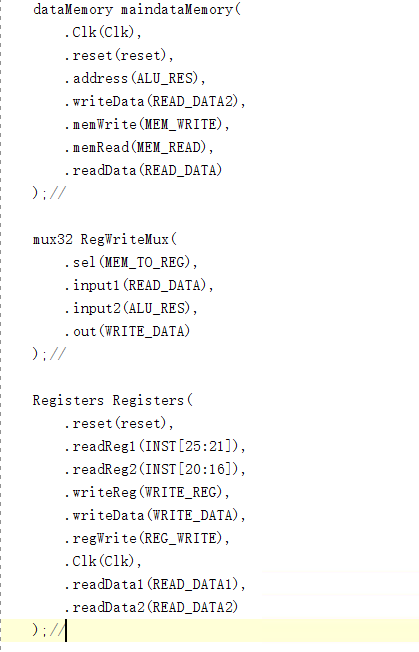
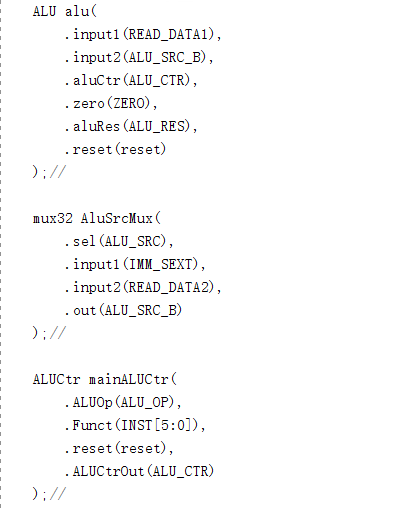
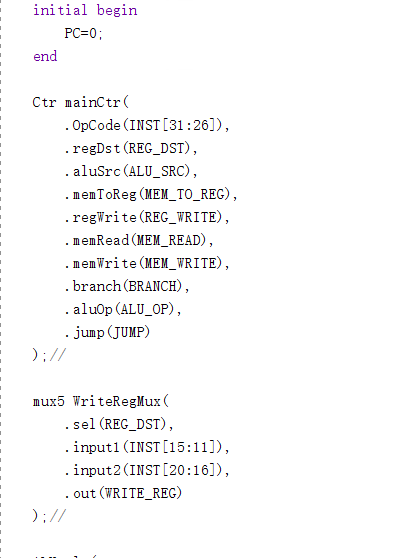
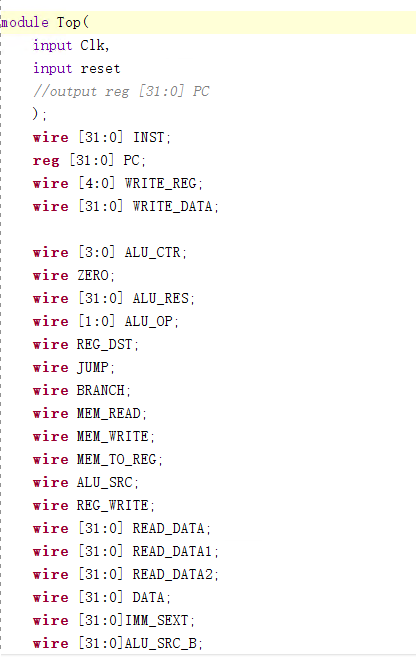
存储器dataMemory的修改：

改为按字节寻址，写入时将一个字的数据写入四个连续地址中：



顶层模块Top：

通过若干连接线将之前实现的模块连接起来。



1. 仿真测试
   * 测试程序

**START:**

**lw $1, 0($0)**

**lw $2, 4($0)**

**lw $3, 8($0)**

**OP:**

**add $1, $1, $2**

**or $4, $1, $2**

**slt $5, $3, $4**

**sw $4, 12($0)**

**beq $2, $3, OP**

**j START**

* + - 测试数据：

**0x00-0x03 1**

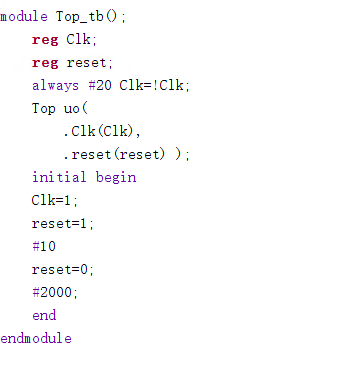
**0x04-0x07 2**

**0x08-0x0B 3**

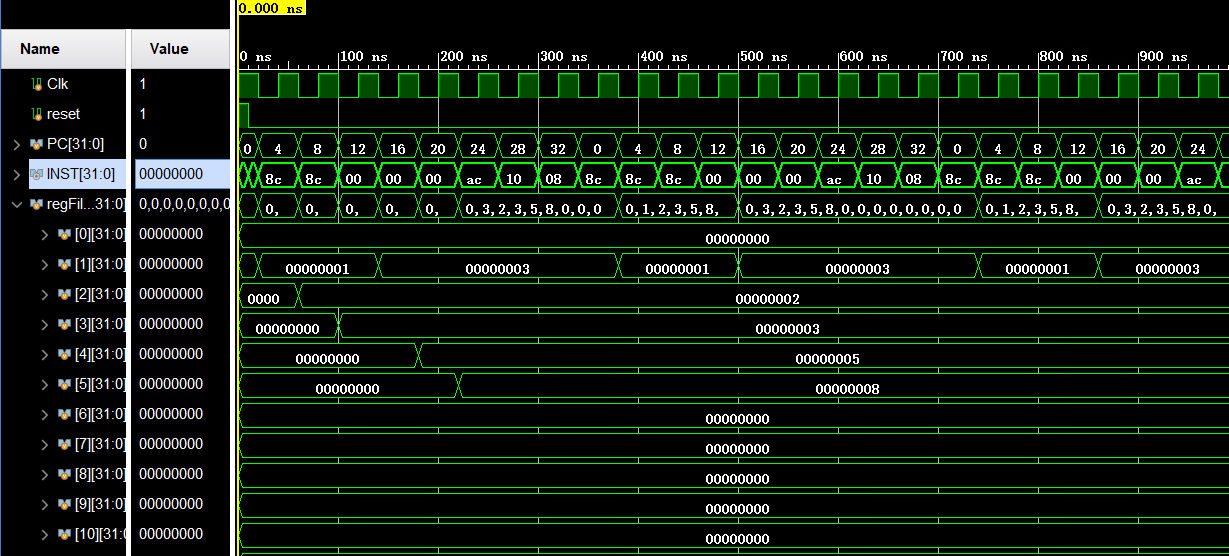
**0x0C-0x0F 4**

* + - 仿真激励文件

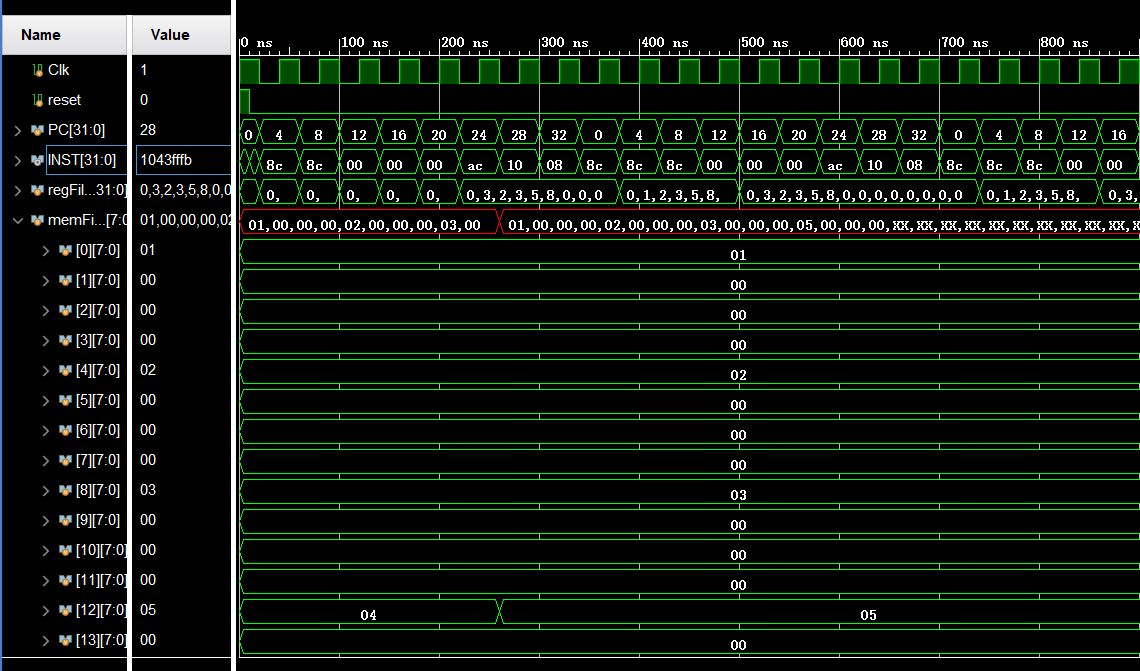
clk周期为40ns，reset保持高电平10ns：



* + - 仿真波形



通过观察图中PC、INST、regFile、memFile的数值，仿真波形符合逻辑预期，单周期处理器仿真测试成功。



1. 心得体会

这次实验是对Lab03和Lab04的一个综合，要将之前所实现的所有部件组合在一起，并且需要添加一些新的部件。因此，这次实验的难度也是大幅度提升。

而这次实验的关键点在于正确地把合适的模块用正确的连线相连。这项工作耗时耗力，需要有足够的耐心和细心。通过对程序的反复调试，我对单周期处理器的工作原理有了更深入的了解。